

ASHING METHOD AND ITS APPARATUS

Ref. 3

Publication number: JP2002100613

Publication date: 2002-04-05

Inventor: OKAMURA KOJI

Applicant: KYUSHU NIPPON ELECTRIC

Classification:

- International: G03F7/42; H01L21/027; H01L21/302; H01L21/3065;
G03F7/42; H01L21/02; (IPC1-7): H01L21/3065;
G03F7/42; H01L21/027

- European:

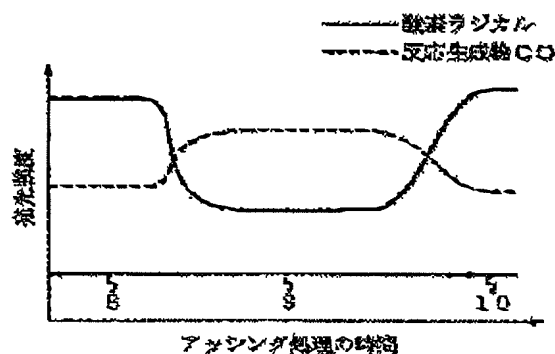
Application number: JP20000290573 20000925

Priority number(s): JP20000290573 20000925

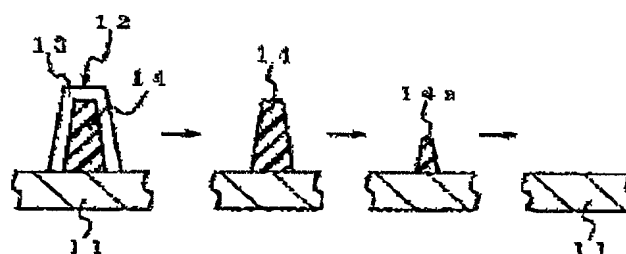
Report a data error here

Abstract of JP2002100613

PROBLEM TO BE SOLVED: To efficiently remove a resist mask having an affected layer on its surface by ashing processing with a simple method. **SOLUTION:** The ashing method is provided for removing the resist mask 12 having the affected layer 13 on its surface by using a plasma gas. The affected layer is removed under a condition where the affected layer does not burst at a first temperature, a variation of luminescence produced from the predetermined reaction gas in the plasma gas is detected, thereby, the temperature of semiconductor wafer is raised, and resists 14, 14a, residuals of resist mask, are removed by using the plasma gas under a condition at the second temperature raised. The luminescence is produced from an oxygen radical or reaction product, such as CO. In this case, the first temperature is set at 150 deg.C or below, and the second temperature is at 250 deg.C or above.



(a)



(b)

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-100613
(P2002-100613A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int.Cl. ⁷	識別記号	F I	データベース*(参考)
H 0 1 L 21/3065		C 0 3 F 7/42	2 H 0 9 6
G 0 3 F 7/42		H 0 1 L 21/302	H 5 F 0 0 4
H 0 1 L 21/027		21/30	5 7 2 A 5 F 0 4 6

審査請求 未請求 請求項の数8 O L (全 6 頁)

(21)出願番号 特願2000-290573(P2000-290573)

(22)出願日 平成12年9月25日(2000.9.25)

(71)出願人 000164450

九州日本電気株式会社

熊本県熊本市八幡一丁目1番1号

(72)発明者 岡村 浩治

熊本県熊本市八幡一丁目1番1号 九州日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 2H096 AA25 LA06 LA07 LA08 LA09

5F004 AA16 BA04 BB26 CA04 CB02

DA00 DA26 DB26 EA28

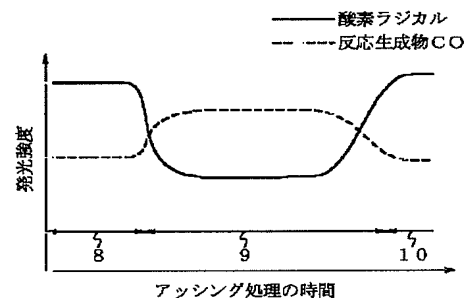
5F046 MA12

(54)【発明の名称】 アッシング方法およびアッシング装置

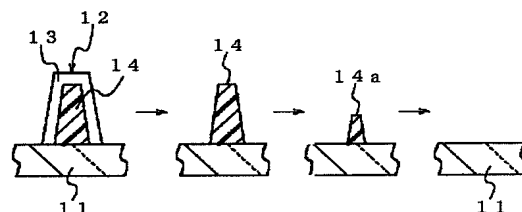
(57)【要約】

【課題】簡便な方法でもって、表面に変質層の有るレジストマスクをアッシング処理で効率的に除去できるようにする。

【解決手段】変質層13を表面に有するレジストマスク12をプラズマガスを用いて除去するアッシング方法において、上記変質層13が破裂しない第1の温度の環境下で変質層を除去し、プラズマガス中の所定の反応ガスからの発光の変化を検知して半導体ウェーハを昇温し第2の温度の環境下で上記プラズマガスを用いてレジストマスクの残存部分であるレジスト14、14aを除去する。ここで、上記発光は、酸素ラジカルあるいは反応生成物であるCOからのものである。また、上記第1の温度は150℃以下に設定され、第2の温度は250℃以上に設定される。



(a)



(b)

【特許請求の範囲】

【請求項1】 半導体ウェーハ上に形成され、変質層を表面に有するレジストマスクをプラズマガスを用いて除去するアッシング方法であって、第1の温度の環境下で上記変質層を除去し、前記プラズマガス中の所定の反応ガスからの発光の変化を検知して前記半導体ウェーハを昇温し第2の温度の環境下で、引き続いて、前記プラズマガスを用いて前記レジストマスクの残存部分を除去することを特徴とするアッシング方法。

【請求項2】 前記発光は、酸素ラジカルあるいは反応生成物であるCOからのものであることを特徴とする請求項1記載のアッシング方法。

【請求項3】 前記酸素ラジカルからの発光波長は777nmであり前記COからの発光波長は450nmであることを特徴とする請求項2記載のアッシング方法。

【請求項4】 前記第1の温度は150℃以下に設定され、前記第2の温度は250℃以上に設定されることを特徴とする請求項1、請求項2または請求項3記載のアッシング方法。

【請求項5】 半導体ウェーハ上に形成され、変質層を表面に有するレジストマスクをプラズマガスを用いて除去するアッシング装置であって、反応室内に半導体ウェーハを保持する保持手段と、前記半導体ウェーハを加熱する加熱手段と、前記加熱温度を制御する制御機構と、前記プラズマガスからの発光の検知手段とを備え、前記発光の検知手段からの所定の発光に対応する信号で作動した前記制御機構を通して前記加熱手段が制御され、前記加熱温度が調整できるようになっていることを特徴とするアッシング装置。

【請求項6】 前記レジストマスクを除去するための加熱温度は、初め、前記レジストマスクの表面にある変質層の破裂が生じない第1の温度に設定されて前記変質層が除去され、前記変質層の除去が前記発光の検知手段で判定され、引き続いて、前記制御機構を通じた加熱手段でもって前記第1の温度より高い第2の温度に設定されることを特徴とする請求項5記載のアッシング装置。

【請求項7】 前記発光は、酸素ラジカルあるいは反応生成物であるCOからのものであることを特徴とする請求項5または請求項6記載のアッシング装置。

【請求項8】 前記加熱手段は、前記半導体ウェーハの上面あるいは下面に取り付けられた加熱ランプであることを特徴とする請求項5、請求項6または請求項7記載のアッシング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造のためのイオン注入工程あるいはドライエッチング工程でマスクとして使用したレジストを灰化して除去するアッシング方法およびアッシング装置に関する。

【0002】

【従来の技術】半導体装置の製造ではフォトリソグラフィ工程が必須であり多用される。このフォトリソグラフィ工程では、よく知られているように半導体ウェーハ上のレジスト膜にパターンを転写する。そして、上記パターン転写で形成したレジストマスクを用いて、有効不純物を半導体基板上に選択的にイオン注入で導入したり、ドライエッチングで下地材料を選択的に加工したりする。

【0003】そして、上記の工程後不要になったレジストマスクは、一般的に酸素のラジカルあるいはイオンを含むプラズマの灰化（アッシング）作用で除去される。上記アッシング作用によるレジストマスクの除去（以下、アッシング処理という）は、上記プラズマ処理での半導体基板の温度が高いほど促進される。そして、半導体装置の量産において、レジストマスクの除去時間が短くなり半導体装置の製造時間は短縮する。このことから、上記アッシング処理での基板温度を高くし、高い温度環境下で上記レジストマスクを除去する。

【0004】

【発明が解決しようとする課題】しかし、上述したイオン注入あるいはドライエッチング後では、レジストマスクの表面に変質層が形成される。そして、上記のような従来の技術では、アッシング処理の工程で変質層が爆発的に破裂し、このときに生じるレジスト屑が残存するようになる。

【0005】以下、上記の様子を図3を参照して説明する。図3（a）に示すように、基板1上にレジストマスク12が形成される。このレジストマスク12は、上述したイオン注入あるいはドライエッチングの工程後のものであり、その表面に変質層13が形成され、その内部にレジストがある。ここで、変質層13は通常では熱硬化している。ここで、上述したアッシング処理の工程で基板11の温度を高くすると、図3（b）に示すようにレジスト14の熱膨張による体積膨張で変質層13が爆発的に破裂する。この爆発的な破裂（以下、ポッピング現象という）で、変質層13の一部あるいはレジスト13の一部は飛散し、図3（c）に示すように、基板11表面にレジスト屑15が残存するようになる。また、このレジスト屑は、アッシング装置の反応室（チャンバー）内壁に飛散して付着しパーティクル発生源となる。

【0006】このために、従来の技術では、上記レジスト屑を除去することが必要になり、結果的にレジストマスクの除去時間が増加する。また、このようなレジスト屑はパーティクルとなり半導体装置の歩留まりを低下させるようになる。また、上記ポッピング現象を避けるためにアッシング処理での温度を下げるとレジストマスクの除去時間は増加する。

【0007】本発明の目的は、簡便な方法でもって、上述したポッピング現象を防止し、レジストマスクの変質

層を効果的に除去できるアッシング方法とアッシング装置を提供することにある。

【0008】

【課題を解決するための手段】このために本発明のアッシング方法では、半導体ウェーハ上に形成され、変質層を表面に有するレジストマスクをプラズマガスを用いて除去するアッシング方法において、第1の温度の環境下で上記変質層を除去し、前記プラズマガス中の所定の反応ガスからの発光の変化を検知して前記半導体ウェーハを昇温し第2の温度の環境下で、引き続いて、前記プラズマガスを用いて前記レジストマスクの残存部分を除去する。ここで、前記発光は、酸素ラジカルあるいは反応生成物であるCOからのものである。そして、前記酸素ラジカルからの発光波長は777nmであり前記COからの発光波長は450nmである。

【0009】また、前記第1の温度は150℃以下に設定され、前記第2の温度は250℃以上に設定される。

【0010】あるいは、本発明のアッシング装置は、半導体ウェーハ上に形成され、変質層を表面に有するレジストマスクをプラズマガスを用いて除去するアッシング装置において、反応室内に半導体ウェーハを保持する保持手段と、前記半導体ウェーハを加熱する加熱手段と、前記加熱温度を制御する制御機構と、前記プラズマガスからの発光の検知手段とを備え、前記発光の検知手段からの所定の発光に対応する信号で作動した前記制御機構を通して前記加熱手段が制御され、前記加熱温度が調整できるようになっている。ここで、前記レジストマスクを除去するための加熱温度は、初め、前記レジストマスクの表面にある変質層の破裂が生じない第1の温度に設定されて前記変質層が除去され、前記変質層の除去が前記発光の検知手段で判定され、引き続いて、前記制御機構を通して加熱手段でもって前記第1の温度より高い第2の温度に設定される。

【0011】そして、前記発光は、酸素ラジカルあるいは反応生成物であるCOからのものである。また、前記加熱手段は、前記半導体ウェーハの上面あるいは下面に取り付けられた加熱ランプである。

【0012】このように本発明では、上述したイオン注入あるいはドライエッチング後に形成されるレジストマスク表面の変質層は効果的に除去され、上記のような従来の技術で生じる変質層の爆発的に破裂は皆無になる。また、レジストマスクのアッシング処理の時間が大幅に短縮する。そして、従来の技術で生じたレジスト屑を除去することは不要になり、レジスト屑から成るパーティクル発生は大幅に低減し半導体装置の製造歩留まりが向上するようになる。

【0013】

【発明の実施の形態】次に、本発明の実施の形態を図1と図2に基づいて説明する。図1は本発明のアッシング方法を実施するのに好適な枚葉型のアッシング装置の略

断面図である。そして、図2は本発明のアッシング方法を説明するための図である。なお、図1では、本発明を説明するアッシング装置の要部が示されている。

【0014】図1に示すように、アッシングチャンバー1内に互いに対向するように上部電極2と下部電極3とが設けられている。そして、下部電極3上には上述したアッシング処理を受ける半導体ウェーハ4が載置される。この半導体ウェーハ4の保持される下部電極3内には、加熱源5が備えられる。ここで、加熱源としては抵抗体に電流を流して加熱する通常のヒーターが取り付けられる。あるいは、ヒーターの代わりに赤外線ランプが用いられてもよい。

【0015】なお、図示しないがチャンバー1内に導入される反応ガスの導入口および反応後のガスの排気口が取り付けられている。そして、平行平板構造の上述した上部電極2と下部電極3との間に高周波電源が取り付けられる。ここで、上部電極2に陰極が下部電極3に陽極が接続される。

【0016】反応ガスとして導入された酸素がプラズマ励起され、酸素のラジカルあるいはイオン等の活性種が生成される。そして、この活性種が上述したレジストマスクと反応しアッシングが起こる。そこで、これらの酸素の活性種から発生するプラズマ発光あるいは反応後のガスからの発光を検知しモニターするためのフォトセンサー6がチャンバー1の側壁に設けられている。

【0017】そして、上述した加熱源5を制御するコントローラ7が取り付けられている。このコントローラ7はフォトセンサー6からの信号で制御される。すなわち、フォトセンサー6から受けるある発光の検知強度に従って、コントローラ7は加熱源5を調整し、半導体ウェーハ4を昇温したり降温したりする。

【0018】ここで、高速な昇温/降温を可能にするために、上述した下部電極3はその熱容量が小さくなるように形成されるとよい。

【0019】上述したアッシング装置では、平行平板電極に高周波電源が接続されて、高周波により反応ガスがプラズマ励起される構造となっている。ここで、プラズマ励起の方法としては、マイクロ波、ヘリコン波によるプラズマ励起、あるいは、交流誘導電流方式等のHPD (High Plasma Density) を用いてもよい。いずれにしろ、フォトセンサー6から受ける発光によりコントローラ7が加熱源5を調整するようになっている。そして、半導体ウェーハ4の温度が自由に昇温/降温の制御ができるようになっている。

【0020】次に、図2に基づいて本発明のアッシング方法を説明する。図2(a)は、上述したレジストマスク除去のためのアッシング処理工程での上述した発光の強度の時間変化を示す。そして、図2(b)は、レジストマスク除去における時間変化を説明するためのレジストマスクの略断面図である。ここで、レジストマスクの

断面図を説明するための符号は、図3で示したものと同一にしてある。

【0021】上述したように半導体装置の製造において、イオン注入あるいはドライエッチングのマスクとして用いたレジストマスクを有する半導体ウェーハを、上述したアッシング装置に挿入する。そして、アッシング装置のチャンバー1内に反応ガスとして酸素ガスあるいは酸素とフッ素化合物の混合ガスを導入し、反応ガスをプラズマ励起する。このようにしてアッシング処理を行う。

【0022】このアッシング処理の工程で図2(a)に示すアッシング第1段階8において、半導体ウェーハ4の温度すなわち図2(b)に示す基板11ひいてはレジストマスク12の温度は第1の温度である比較的低い温度に保持される。ここで、この第1の温度は150℃以下になるように設定される。このような温度であれば、上記レジストマスク12の表面層にある変質層13が爆発的に破裂することは全くない。このアッシング第1段階8において、図2(b)に示すレジストマスク12表面の変質層13を完全に除去する。そして、図2(a)に示すように、このアッシング第1段階8では、酸素ラジカルからの発光強度が高く、反応生成物(反応ガス)であるCOからの発光強度は相対的に低い。これは、変質層13のアッシング速度が小さいために、酸素ラジカルの消費量が小さくプラズマ中の酸素ラジカル量が多く残存し、逆に、この段階では反応生成物COの生成量は少なくなるからである。

【0023】次に、上述した変質層13が完全に除去されレジスト14が露出すると、レジスト14のアッシング速度が大きくなる。そして、酸素ラジカルの消費量が増大しプラズマ中の酸素ラジカル量の残存量が低減する。逆に、この段階では反応生成物COの生成量は増大する。そして、図2(a)に示すようにアッシング第2段階9に入り、酸素ラジカルからの発光強度が低下し、反応生成物であるCOからの発光強度が上昇するようになる。

【0024】このような発光強度の変化を図1に説明したフォトセンサー6で検知し、コントローラ7で加熱源5を調整し、半導体ウェーハ4の温度すなわち図2(b)に示す基板11の温度を第2の温度である高い温度にする。ここで、第2の温度は250℃以上にする。このようなアッシング温度の上昇により、アッシング速度は更に増大するようになる。

【0025】そして、レジスト14はアッシングでその体積は小さくなり、図2(b)に示すように、レジスト14aと縮小する。これにつれて、図2(a)に示しているように、酸素ラジカルからの発光強度が大きくなり、反応生成物であるCOからの発光強度は小さくなる。そして、レジスト14は完全にアッシング除去され、アッシング第3段階10になる。このアッシング第

3段階10で、基板11上のレジストマスク12は全てアッシング除去される。

【0026】本発明のアッシング方法の特徴は、アッシング処理での発光強度をモニターし、その発光強度により半導体ウェーハの加熱源を調整し、基板温度すなわちアッシングの環境温度を変化させるところにある。

【0027】このようにすることで、従来の技術で説明した、変質層13のポッピング現象を完全に防止することができる。そして、同時にアッシングの環境温度をタイミングよく上昇させることで変質層以外のレジストのアッシング速度をさらに増大させ、全体のアッシング処理の時間を大幅に短縮させることができる。例えば、レジストマスクを、MOSTランジスタのソース・ドレイン拡散層のイオン注入マスクに使用した場合は、アッシング処理時間は30%程度短縮する。

【0028】上記の実施の形態では、フォトセンサーによる発光強度の時間変化で加熱源を調整しアッシング処理の環境温度を制御した。本発明では、上記の発光強度に限定するものではない。発光強度の変化分をモニターしてアッシング処理の環境温度を制御してもよい。ここで、加熱源5を下部電極3内でなく半導体ウェーハ4の上部に位置するところに設けてもよい。この場合は、赤外線ランプを加熱ランプとして取り付ける。

【0029】なお、本発明は上記実施の形態に限定されず、本発明の技術思想の範囲内において、実施の形態が適宜変更され得ることは明らかである。

【0030】

【発明の効果】上述したように、本発明のアッシング方法では、変質層を表面に有するレジストマスクをプラズマガスを用いて除去するアッシング方法において、上記変質層の破裂しない第1の温度の環境下で変質層を除去し、プラズマガス中の所定の反応ガスからの発光の変化を検知して半導体ウェーハを昇温し第2の温度の環境下で上記プラズマガスを用いてレジストマスクの残存部分を除去する。ここで、上記発光は、酸素ラジカルあるいは反応生成物であるCOからのものである。また、上記第1の温度は150℃以下に設定され、第2の温度は250℃以上に設定される。

【0031】そして、本発明のアッシング装置は、上記レジストマスクをプラズマガスを用いて除去するアッシング装置において、反応室内に半導体ウェーハを保持する保持手段と、この半導体ウェーハを加熱する加熱手段と、加熱温度を制御する制御機構と、上記プラズマガスからの発光の検知手段とを備えており、上記発光の検知手段からの所定の発光に対応する信号で作動する制御機構を通して加熱手段が制御され、上記加熱温度が調整できるようになっている。ここで、レジストマスクを除去するための加熱温度は、初め、レジストマスクの表面にある変質層の破裂が生じない第1の温度に設定されて上記変質層が除去され、この変質層の除去が上記発光の検

知手段で判定され、引き続いて、上記制御機構を通した加熱手段でもって第1の温度より高い第2の温度に設定される。

【0032】このために、上述したイオン注入あるいはドライエッチング後に形成されるレジストマスク表面の変質層は効果的に除去され、上記のような従来の技術で生じる変質層の爆発的な破裂は皆無になる。また、レジストマスクのアッシング処理の時間が大幅に短縮する。

【0033】このために、本発明では、従来の技術で生じたレジスト屑を除去することは不要になる。また、このようなレジスト屑から成るパーティクル発生は大幅に低減し半導体装置の製造歩留まりが大幅に向上するようになる。

【図面の簡単な説明】

【図1】本発明のアッシング装置を説明するための装置の略断面図である。

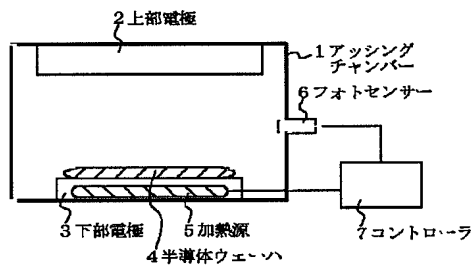
【図2】本発明のアッシング方法を説明するためのアッシング処理での発光強度の時間変化とレジストマスクの断面形状変化を示す図である。

【図3】従来の技術の課題を説明するためのアッシング処理でのレジストマスク断面の時間変化を示す図である。

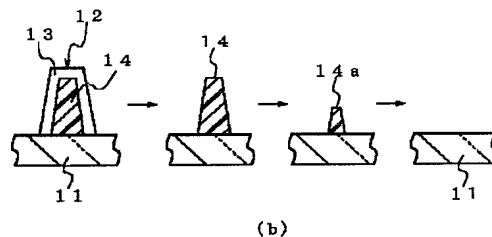
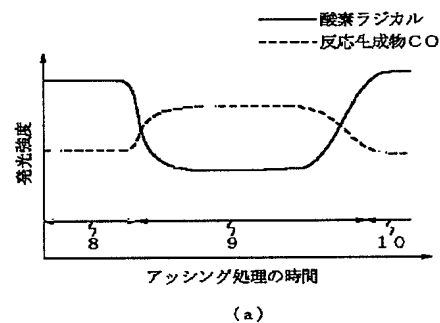
【符号の説明】

- 1 アッシングチャンバー
- 2 上部電極
- 3 下部電極
- 4 半導体ウェーハ
- 5 加熱源
- 6 フォトセンサー
- 7 コントローラ
- 8 アッシング第1段階
- 9 アッシング第2段階
- 10 アッシング第3段階
- 11 基板
- 12 レジストマスク
- 13 変質層
- 14, 14a レジスト
- 15 レジスト屑

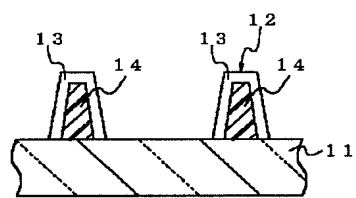
【図1】



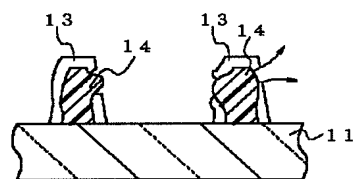
【図2】



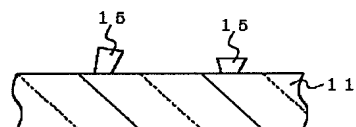
【図3】



(a)



(b)



(c)